

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-199860

(43)Date of publication of application : 21.07.1992

(51)Int.Cl. H01L 23/38
H01L 35/32

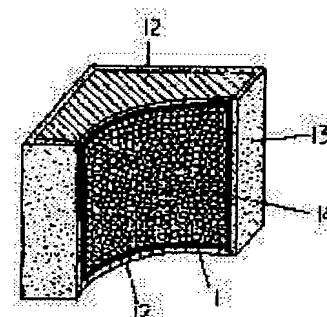
(21)Application number : 02-335926 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.11.1990 (72)Inventor : YOKOYA YOICHIRO
ANDO HAMAE
KUGIMIYA KOICHI

(54) THERMOELECTRIC SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To cool the cooling face to low temperature even under the condition of use where the heat radiation efficiency is small and prevent the deterioration by dewing by making a thermoelectric semiconductor layer around the carrier block, which consists of porous substances having blow holes, and making electrodes at the top and the bottom and making an airtight insulator layer at the side, and putting it in airtight structure.



CONSTITUTION: The object where a thermoelectric semiconductor layer 11 is constituted around a carrier block 14 is arranged through an insulator 13. And the other part is surrounded by the airtight insulator 11, and the carrier block and the semiconductor element part are put in airtight structure. Accordingly, even if the heat conductivity of the semiconductor element part 11 drops and the temperature rises on the heat radiation side, the quantity of heat conducted to the cooling side falls, and the temperature on the cooling side can be lowered. Especially, by deairing the porous substance 14, high heat insulation can be gotten with low degree of vacuum, and also the junction between the thermoelectric semiconductor 11 and the electrode 12 is of airtight structure, so the inside is deaired. Hereby, dewing does not occur at and around the junction interface, so the deterioration of this part can be prevented.

LEGAL STATUS

RS

⑨ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平4-199860

⑤Int. Cl. 5
 H 01 L 23/38
 35/32

識別記号 庁内整理番号
 A 7220-4M
 7210-4M

⑩公開 平成4年(1992)7月21日

審査請求 未請求 請求項の数 3 (全6頁)

④発明の名称 热電半導体素子

②特 願 平2-335926

②出 願 平2(1990)11月29日

⑦発明者	横谷 洋一郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦発明者	安藤 浜江	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦発明者	釘宮 公一	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦出願人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑦代理人	弁理士 池内 寛幸	外1名	

明細書

1. 発明の名称

熱電半導体素子

2. 特許請求の範囲

(1) 開気孔を有する多孔体よりなる担体ブロック外周に熱電半導体層を形成し、さらに前記担体ブロックの上下面に気密性金属質よりなる電極部を形成し、側面および電極に覆われていない上面に気密性絶縁体層を形成して、気密構造中に担体ブロックと熱電半導体素子部を存在させてなる熱電半導体素子。

(2) 開気孔を有する多孔体よりなる担体ブロック外周にp型、n型の熱電半導体層をそれぞれ構成したものを絶縁体を介して配置し、上面にp型部とn型部を接合する気密性金属質よりなる電極部、下面にp型部、n型部単独の気密性金属質からなる電極部を有し、電極に覆われていない外周に露出したその他の部分を気密性絶縁体によって囲み、担体ブロックとp型、n型半導体部を気密構造中に存在させた熱電半導体素子。

(3) 開気孔を有する多孔体よりなる担体ブロック外周にp型、n型の熱電半導体層をそれぞれ構成したものを絶縁体を介して複数個配置し、上面にp型とn型の半導体素子を直列に接合する複数個の電極が形成され、電気的に正極から負極に向かって、p型からn型への接合面を片面に、n型からp型への接合面をもう片面に配した構造とし、この電極部が気密性金属質よりなり、電極に覆われていない外周に露出したその他の部分が気密性絶縁体によって囲まれており、複数個の担体ブロックとp型、n型半導体素子部を気密構造中に存在させた熱電半導体素子。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、電子冷却用電子部品に関し、特に放熱側の放熱効率の小さい使用条件で冷却面の到達最低温度が低く結露による素子劣化の少ない素子に関する。

[従来の技術]

近年、地球環境問題からのフロン使用規制や、

電子機器等の局部冷却、除湿などの小型冷却装置などに対する要求、ペルチ効果を利用した電子冷却用電子部品に対する要求は大きい。ここでペルチ効果とは、二つの金属の接合部を通って電流が流れたとき、その接合部において熱が発生し、あるいは吸収される現象を発現する効果をいう。たとえば、ある方向に電流が流れ熱が発生したとき、電流の方向を逆にすると今度は熱が吸収される現象である。

このうち、室温付近で用いる電子冷却用の電子部品としては、Bi-Te系の単結晶もしくは多結晶凝固体を熱電半導体物質として使用し、p型、n型半導体物質を交互に金属板などで直列に接合し、電気的に正の側からn型からp型への接合面を一方の面に配し冷却面としもう一方の面にp型からn型への接合面を配し放熱面とし、各物質の間は空隙とする構成をとるものが知られている。

Bi-Te系材料は理論的には高温側と低温側の間で60度程度の温度差を取ることができるが

上記のような構成で高温側の放热量が小さいと

放熱側の放熱効率が小さい使用条件下でも冷却面が低い温度まで冷却でき、かつ結露による劣化の問題の起こりにくい電子冷却用部品を提供することを目的とする。

[課題を解決するための手段]

前記目的を達成するため、本発明の熱電半導体素子は、開気孔を有する多孔体よりなる担体ブロック外周に熱電半導体層を形成し、さらに前記担体ブロックの上下面に気密性金属質よりなる電極部を形成し、側面および電極に覆われていない上下面に気密性絶縁体層を形成して、気密構造中に担体ブロックと熱電半導体素子部を存在させてなるものである。

また本発明は、開気孔を有する多孔体よりなる担体ブロック外周にp型、n型の熱電半導体層をそれぞれ構成したものを絶縁体を介して配置し、上面にp型部とn型部を接合する気密性金属質よりなる電極部、下面にp型部、n型部単独の気密性金属質からなる電極部を有し、電極に覆われていない外周に露出したその他の部分を気密性絶縁

高温側の温度が上昇し低温側の最低到達温度が上がってしまう問題点を有している。

これに対し従来の電子冷却用電子部品はp型、n型素子を交互に面状にならべ電気的に直列に接合した素子段階で、p型、n型素子の間に間隔をもうけ2~3倍の断面積としさらにこれに10倍程度の断面積の金属放熱板を接合しこの放熱板が断面積の5~7倍の面積のフィンを有している構成により放熱面積を半導体素子の断面積の100~200倍程度に増加させ、これをファンにより強制空冷するか、もしくは放熱面を水冷するなどの手段により冷却していた。

[発明が解決しようとする課題]

しかしながら、前記従来技術では、ファンを用いた強制空冷や水冷手段が必要で、装置コストが高くなるという課題があった。また従来の構成では、とくに冷却側に結露が発生し素子と電極部の接合面の腐食などにより断線するなどの課題があった。

本発明は、前記従来技術の課題を解決するため、

体によって囲み、担体ブロックとp型、n型半導体部を気密構造中に存在させた熱電半導体素子である。

また本発明は、開気孔を有する多孔体よりなる担体ブロック外周にp型、n型の熱電半導体層をそれぞれ構成したものを絶縁体を介して複数個配置し、上下面にp型とn型の半導体素子を直列に接合する複数個の電極が形成され、電気的に正極から負極に向かって、p型からn型への接合面を片面に、n型からp型への接合面をもう片面に配した構造とし、この電極部が気密性金属質になり、電極に覆われていない外周に露出したその他の部分が気密性絶縁体によって囲まれており、複数個の担体ブロックとp型、n型半導体素子部を気密構造中に存在させた熱電半導体素子である。

[作用]

前記本発明の構成によれば、半導体素子部の熱伝導度が低下し、放熱側の温度上昇があっても冷却側への熱伝導量が低下し冷却側温度を低くすることができる。とくに多孔体を脱気することによ

り低い真空中で高い断熱性を得られる。また熱電半導体と電極の接合部が気密構造中にあり内部が脱気された構成をとることにより、接合界面付近の結露が発生しないためこの部分の劣化を防ぐことができる。

[実施例]

以下に、本発明の実施例について図面を参照しながら説明する。

実施例 1

熱電半導体物質として Bi - Te 系について検討した。p 型物質としては、 $(Bi, Sb)_2Te_3$ を選択し、n 型物質としては、 $Bi_2(Te, Se)_3$ を選択した。

担体ブロックとしては平均粒径 200 μm の殻厚 1.0 μm のアルミニナバルーンを用いた。このバルーンは一部中空構造、一部は気孔径 25 μm の多孔体顆粒であるが内部と外部の気密性ではなく膜自身が多孔体である。このバルーンに有機バインダを加え 1 cm^3 立方に成形し 1400 °C で焼成して担体ブロックを作成した。半導体物質は各物質

脂、14 は多孔体担体である。

この素子は p 型 n 型それぞれ 50 ヶ計 100 ヶを縦横それぞれ 10 ヶずつ p 型 n 型交互に配列し、端面に接着剤を塗布して固め、上下面で p 型 n 型素子が直列に、かつ電気的に正極から負極に向かって p 型から n 型の接合面が片側に n 型から p 型への接合面がもう片側になるように Ni 板で接合した。また参考試料として p、n 型とも緻密な多結晶凝固体を用い同様の形状に接合したもの、外周を気密性絶縁体で覆わなくして多孔体内部を真空中に脱気してないものを作成した。

作成した試料の低温側の面には絶縁グリスを薄く塗布したのち、厚さ 0.3 mm の銅版を接合しこの面に熱電対を接着して温度を測定した。高温側は次の放熱条件設定し放熱板を低温側同様絶縁グリスを薄く塗布したのち配置し熱電対を接着してこの温度を測定した。放熱の条件は、すなわち 20 cm^2 (400 cm^2) 厚さ 0.5 mm の銅版に厚さ 0.3 mm 奥行き 10 mm の銅板製フィンを 5 mm ピッチで立て放熱面を酸化させたもの (半導体素子

の多結晶凝固体を出発原料に用い粗碎後ポールミル中で有機溶媒を用い 0.2 mm ϕ のジルコニアボールを媒体として媒体攪拌ミルにて粉碎し、平均粒径 0.08 μm の粉末とした。乾燥後粉末と粘性溶媒とを混合してスラリーとし、担体ブロックを浸したのち乾燥した。処理乾燥後の粒子はアルゴン中 500 °C で 2 時間加熱処理した。

作成した試料は p 型、n 型とも素子中心部断面積に占める熱電半導体素子部の面積比率が 4.3 %、気孔率が 90.6 %、抵抗率が 0.0250 $\Omega \cdot cm$ で、ゼーベック係数 200 $\mu V/deg$ であった。

また熱電半導体は多くの穴を有して内部の担体と外部は空気の流通が可能であった。

作成した半導体素子は上下面にニッケル電解メッキを施した後、0.3 mm 厚の銅板を半田づけした。さらに真空容器内で側面に紫外線硬化性の気密性絶縁体樹脂を塗布したのち紫外線を照射し硬化させた。第 1 図に試作した試料の模式図 (一部断面図) を示す。第 1 図において、1 1 は熱電半導体層、1 2 は電極金属、1 3 は気密性絶縁体樹

断面積の 20 倍の放熱板表面積、自然放冷) である。

この放熱板を用い直流電源の電流量を調整して低温側の銅板の温度が最低になる条件をもとめた。

測定は外気温 300 K で実施した。

また熱電半導体に緻密な多結晶凝固体を用いたものの以外の試料は低温部が 0 度付近まで冷却できるので結露が発生する。そこで 2 時間毎に 20 分通電して結露を発生させる試験を繰り返して特性変化を測定した。

第 1 表に上記の放熱条件における試料の状態、低温側最低到達温度 (K)、低温側最低温度到達時の放熱フィン温度 (K)、低温側最低温度到達時の電流量 (A) を示す。また熱電半導体に緻密な多結晶凝固体を用いたもの以外の試料は繰り返し試験で劣化の発生する回数を示す。

第 1 表より明らかなように本発明のように半導体素子部が多孔体となるものは緻密な熱電半導体を用いたものに比べ、低温側の最低到達温度が低くとれるが結露試験により劣化が見られる。半

導体素子部が多孔体よりなり内部が脱気されたものは更に低温側の最低到達温度が低くとれ結露試験によっての劣化寿命がのびる。

とくに実施例に示した条件のように半導体素子断面積当たりの放熱面表面積が小さく、かつ自然放冷のように一般の電子冷却素子より放熱効率の小さい条件下でその効果が発揮される。

また本実施例のようにp型n型1個1個を気密構造にしたもののはこれらをもちいた熱電冷却素子の自由な形態へ組み立てが可能で工業的に有用である。

実施例2

多孔質担体と熱電半導体層は実施例1同様のものを作成した。p型n型の2つの素子は、上下面にそれぞれニッケル電解メッキを施したのち厚さ $200\mu\text{m}$ の多孔質セラミックシートを介して隣あわせに配置し、上面にp型部とn型部を接合する厚さ0.3mmの金属銅板を半田付けし、p型部、n型部の下面には単独の電極部として厚さ0.3mmの金属銅板を半田付けした。電極におおわれて

な多結晶凝固体を用いたもの以外の試料は繰り返し試験で劣化の発生する回数を示す。

第2表より明らかなように本発明のように半導体素子部が多孔体よりなるものは緻密な熱電半導体を用いたものに比べ、低温側の最低到達温度が低くとれるが結露試験では劣化が現われる。半導体素子部が多孔体よりなり内部が脱気されたものは更に低温側の最低到達温度が低くとれ結露試験によっても劣化寿命がのびる。

とくに実施例に示した条件のように半導体素子断面積当たりの放熱面表面積が小さく、かつ自然放冷のように一般の電子冷却素子より放熱効率の小さい条件下でその効果が発揮される。また熱電半導体素子を用いた冷却素子は少なくともp型、n型素子を1対として使用するため本実施例で用いたp型n型1対の素子は各種パネルを作成する際に工数を低減出来る。また各熱電半導体素子の間にある絶縁体部に多孔体を用いることにより、パネル全体の熱伝導を低下させ、かつ真空脱氣時に全体を均一な真空状態にすることが容易となる。

いない外部に露出した部分は一部を残して気密性樹脂を塗布し硬化させたのち残りの部分からガスを脱気しその部分を封じた。

第2図に試作した試料の模式図（一部断面図）を示す。第2図において、15は熱電半導体層、16は電極金属、17は気密性絶縁体樹脂、18は多孔体担体、19は多孔質セラミックシートである。

作成した半導体素子は縦5個横10個をp型部とn型部がとなりあうように10cm角になるよう実施例1と同様に接合し同様の冷却面放熱面を形成して同様の測定を行った。

また参考試料としてp、n型とも緻密な多結晶凝固体を用い同様の形状に接合したもの、外周を気密性絶縁体で覆わなくして多孔体内部を真空中に脱気してないものを作成した。

第2表に上記の放熱条件における試料の状態、低温側最低到達温度(K)、低温側最低温度到達時の放熱フィン温度(K)、低温側最低温度到達時の電流量(A)を示す。また熱電半導体に緻密

実施例3

多孔体担体と熱電半導体層は実施例1同様のものを作成した。p型、n型の素子はそれぞれ上面にそれぞれニッケル電解メッキを施したのち周辺部に絶縁性多孔体セラミックを介してp型素子とn型素子を隣あわせに密着して配置し、上面と下面にp型とn型の半導体素子を直列に接合する厚さ0.3mmの複数個の銅板電極を半田付けし、電気的に正極から負極に向かって、p型からn型への接合面を片面に、n型からp型への接合面をもう片面に配した構造とし上面にp型部とn型部を接合する厚さ0.3mmの金属銅板を半田付けした。電極におおわれていない外部に露出した部分は一部を残して気密性樹脂を塗布し硬化させたのち残りの部分からガスを脱気しその部分を封じた。第3図に試料の模式図（一部断面図）を示す。第3図において、20は熱電半導体層、21は電極金属、22は気密性絶縁体樹脂、23は多孔体担体、24は絶縁性多孔体セラミックシートである。また参考試料としてp、n型とも緻密な多結晶凝

固体を用い同様の形状に接合したもの、外周を気密質絶縁体で覆わなくして多孔体内部を真空に脱氣してないものを作成した。

第3表に実施例1と同様の放熱条件における、試料の形態、低温側最低到達温度(K)、低温側最低温度到達時の放熱フィン温度(K)、低温側最低温度到達時の電流量(A)を示す。また熱電半導体に緻密な多結晶凝固体を用いたもの以外の試料は繰り返し試験で劣化の発生する回数を示す。

第1表					
番号	試料状態	最低到達温度	放熱板温度	電流	繰り返し回数
*1	緻密多結晶凝集体熱電体	288.3K	310.3K	8.3A	---
*2	多孔体 非気密構造	262.9K	314.5K	2.4A	359
3	多孔体 気密構造 50Pa	258.6K	312.6K	2.3A	500 以上
4	多孔体 気密構造 100Pa	258.3K	311.3K	2.3A	500 以上
*5	多孔体 気密構造 1000Pa	261.7K	315.9K	2.4A	413
*6	多孔体 気密構造 10000Pa	262.0K	314.9K	2.8A	436

(注)*印は比較例

第2表					
番号	試料状態	最低到達温度	放熱板温度	電流	繰り返し回数
*7	緻密多結晶凝集体熱電体	288.1K	310.3K	8.3A	---
*8	多孔体 非気密構造	261.6K	312.2K	2.2A	312
9	多孔体 気密構造 50Pa	257.3K	313.6K	2.4A	500 以上
10	多孔体 気密構造 100Pa	257.0K	316.7K	2.6A	500 以上
*11	多孔体 気密構造 1000Pa	265.1K	316.1K	2.8A	500 以上
*12	多孔体 気密構造 10000Pa	268.6K	311.6K	2.4A	439

(注)*印は比較例

第3表					
番号	試料状態	最低到達温度	放熱板温度	電流	繰り返し回数
*13	緻密多結晶凝集体熱電体	288.3K	310.3K	8.3A	---
*14	多孔体 非気密構造	263.6K	310.2K	2.8A	138
15	多孔体 気密構造 50Pa	254.6K	314.6K	2.7A	500 以上
16	多孔体 気密構造 100Pa	259.6K	313.9K	2.7A	500 以上
*17	多孔体 気密構造 1000Pa	264.3K	315.9K	2.6A	499
*18	多孔体 気密構造 10000Pa	264.8K	316.3K	2.7A	500 以上

(注)*印は比較例

第3表より明らかなように本実施例のように半導体素子部が多孔体よりもものは緻密な熱電半導体を用いたものに比べ、低温側の最低到達温度が低くとれるが結露試験により劣化が見られる。半導体素子部が多孔体よりも内部が脱気されたものは更に低温側の最低到達温度が低くとれ結露試験によっても劣化寿命がのびる。

とくに実施例に示した条件のように半導体素子断面積当たりの放熱面表面積が小さく、かつ自然放冷のように一般の電子冷却素子より放熱効率の小さい条件下でその効果が發揮される。

また熱電半導体素子を用いた冷却素子としてあらかじめ複数個のp型、n型素子を対として作成した素子は真空脱気工程が少なくてすみ、工数を低減出来る。また各熱電半導体素子の間にある絶縁体部に多孔体を用いることにより、パネル全体の熱伝導を低下させ、かつ真空脱気時に全体を均一な真空状態にすることが容易となる。

[発明の効果]

以上説明した通り、本発明の熱電半導体素子を

利用した電子冷却素子は、放熱側の放熱効率が小さい使用条件下でも冷却面が低い温度まで冷却でき、かつ結露による劣化の問題の起りにくくものとすることができた。

また大面積化が容易で安価に製造できるなどの利点を有しており工業的に有用である。

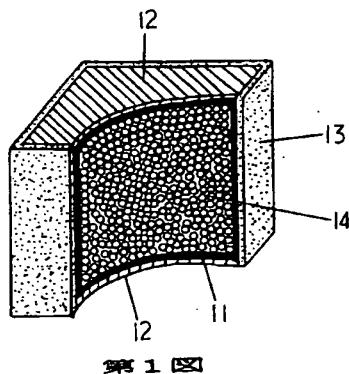
4. 図面の簡単な説明

第1図、第2図および第3図は本発明の一実施形態である熱電半導体素子の模式図(一部断面図)である。

1 1 … 热電半導体層、1 2 … 電極金属、1 3 … 気密性絶縁体樹脂、1 4 … 多孔体担体、1 5 … 热電半導体層、1 6 … 電極金属、1 7 … 気密性絶縁樹脂、1 8 … 多孔体担体、1 9 … 多孔質セラミックシート、2 0 … 热電半導体層、2 1 … 電極金属、2 2 … 気密性絶縁体樹脂、2 3 … 多孔体担体、2 4 … 絶縁性多孔体セラミックシート。

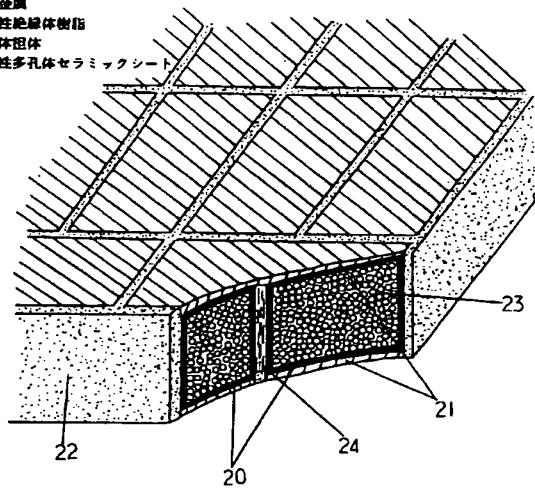
代理人の氏名 弁理士 池内寛幸 ほか1名

1 1…熱電半導体層
1 2…電極金属
1 3…気密性絶縁体樹脂
1 4…多孔体担体



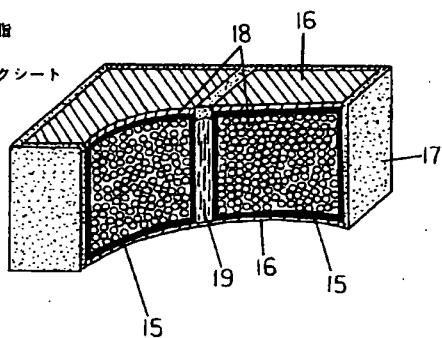
第1図

2 0…熱電半導体層
2 1…電極金属
2 2…気密性絶縁体樹脂
2 3…多孔体担体
2 4…絕縁性多孔セラミックシート



第3図

1 5…熱電半導体層
1 6…電極金属
1 7…気密性絶縁体樹脂
1 8…多孔体担体
1 9…多孔質セラミックシート



第2図